

STRUCTURE OF COOLING SEMICONDUCTOR DEVICE

Patent Number: JP63299258
Publication date: 1988-12-06
Inventor(s): MINE SHINJI
Applicant(s): NEC CORP
Requested Patent: JP63299258
Application Number: JP19870133999 19870529
Priority Number(s):
IPC Classification: H01L23/46; H05K7/20
EC Classification:
Equivalents:

Abstract

PURPOSE:To cool memory-related semiconductor devices by a water cooling system and to shorten a mounting pitch of packages by a method wherein heat-conducting plates are installed around the semiconductor devices acting as heat-generating bodies, the devices are shut up and the heat is conducted to a cooling pipe forming a coolant flow path on the packages via an atmosphere.

CONSTITUTION:SIP-type long-sheet-like multilayer ceramic packages (MCP's) 7 where semiconductor devices 8 are mounted on one face are arranged on a printed-circuit board 1. One each long-sheet-like heat-conducting plate 3 is arranged between two long-sheet-like MCP's 7; their upper space is covered with flat-sheet-like heat-conducting plates 4. Cooling pipes 2 such as copper pipes or the like are installed in such a way that they cross at a right angle to a longitudinal direction of the long-sheet-like MCP's 7. The heat generated by the semiconductor devices 8 is dissipated from the surface of the long-sheet-like MCP's 7 whose heat capacity is large; the heat reaches a coolant such as water or the like in the sequence of an ambient atmosphere, the long-sheet-like heat-conducting plates, the flat-sheet-like heat-conducting plates 4 and the cooling pipe 2; the heat is then dissipated to the outside of a package. If the long-sheet-like MCP's 7 and the long-sheet-like heat-conducting plates 3 are retained by keeping an angle θ with reference to the printed-circuit board 1, a height of the package can be suppressed to be lower; accordingly, it is possible to make a mounting pitch of the packages shorter.

Data supplied from the esp@cenet database - I2

⑫ 公開特許公報(A)

昭63-299258

⑤ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)12月6日

H 01 L 23/46
H 05 K 7/20Z-6835-5F
W-7373-5F

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 半導体素子の冷却構造

⑰ 特 願 昭62-133999

⑱ 出 願 昭62(1987)5月29日

⑲ 発 明 者 峰 真 二 東京都港区芝5丁目33番1号 日本電気株式会社内

⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

㉑ 代 理 人 弁理士 染川 利吉

明 細 書

1. 発明の名称

半導体素子の冷却構造

2. 特許請求の範囲

(1). プリント配線板上に搭載された半導体素子の冷却構造において、熱伝導性に優れたセラミック等の材料にて形成され、複数の前記半導体素子が搭載され、かつ一辺に信号ピンが配列されたSIP型もしくはDIP型の、前記プリント配線板上に列設された長板状MCPと、前記長板状MCPの長手方向に直交して巡回する冷媒流路を形成する熱伝導性冷却パイプと、前記冷却パイプと熱的に結合しかつ前記長板状MCP相互間に微小間隔を保って保持される複数の長板状熱伝導板と、前記長板状MCPの上部空間を覆うように設けられ、前記冷却パイプもしくは前記長板状熱伝導板と熱的に結合した平板状熱伝導板とを有することを特徴とする半導体素子の冷却構造。

(2). 前記長板状MCPおよび前記長板状熱伝導板は、前記プリント配線板に対して適当な角

度を保って実装されることを特徴とする特許請求の範囲第1項に記載した半導体素子の冷却構造。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、電子機器装置に使用される半導体素子を搭載したパッケージの冷却方式に関し、特に単体当りの発熱量は低いが搭載数の多いCMOS・RAM等の半導体素子の冷却構造に関する。

(従来技術)

一般に電子機器装置の一部を構成する記憶装置に使用されるパッケージ上には、CMOS・RAM等のメモリ系とその制御系から成る多種類の半導体素子が多数搭載されている。近年に於けるこれらの半導体素子そのものの集積度の向上と、パッケージの大型化及びパッケージ当りの搭載素子数の増大は、半導体素子の実装密度を飛躍的に向上させた反面、半導体素子の増大した総発熱量に対する、より高性能かつ高効率な冷却技術の開発競争に拍車をかけている。

冷却技術開発の流れは、自然空冷、強制空冷、

空気流路に冷媒を介在させる間接水冷、伝導水冷方式、浸漬方式と進んできた。なお後者の方式になる程、コスト面では不利であるが高い冷却能力が得られる。前述した記憶装置に於いては、特に大型機の分野では制御系の半導体素子の発熱量はもはや強制空冷の限界を越えたため、半導体素子の発熱面を冷媒流路を有するゴールドプレートに熱的に結合させる伝導冷却方式に代表される水冷方式の採用が活発である。

水冷方式は、外部に冷水供給装置を必要とするものの、強制空冷に於けるようなファンや空気取入口及び吐出口等の空気流路を確保する必要がないため、実装形態の自由度が大きい。また騒音規制を気にする必要もない。一方、個々の発熱量が低く、パッケージ当りの搭載数が多いメモリ系の半導体素子の冷却方式は、強制空冷方式が効率面で最も適している。

(発明が解決しようとする問題点)

上述の如く水冷方式、空冷方式いずれも利点、欠点があるが、制御系、メモリ系半導体素子を含

む電子機器において制御系の半導体素子用の水冷方式とメモリ系の半導体素子用の強制空冷方式を混在させるのは、上述した水冷方式の利点を失わせる結果となる。そこで、パッケージ内に持ち込まれた水路の有効利用を図るためにも、メモリ系の半導体素子に適した水冷方式による冷却構造が要望されている。ここで水冷方式を実現するに際しては、従来構造では、部品実装高さのバラツキをなくさなければならず、この点で部品実装の自由度を阻害していた。

本発明は、部品実装高さに関係なくメモリ系半導体素子の冷却を水冷方式で実現でき、またパッケージの実装ピッチを短縮して全体として小形化を図ることのできる半導体素子用冷却構造を提供することにある。

(問題点を解決するための手段)

本発明に係る半導体素子の冷却構造は、熱伝導性に優れたセラミック等の材料から成り、複数の半導体素子を搭載し、かつ一辺に信号ピンを配列したSIP型もしくはDIP型のプリント配線板

上に列設された長板状MCP(マルチレイヤーセラミックパッケージ)と、前記長板状MCPの長手方向と直交して巡回する冷媒流路を形成する銅管等の熱伝導性冷却パイプと、前記冷却パイプと熱的に結合しさらに長板状MCP相互間に微小間隔を保って保持される複数の長板状熱伝導板と、前記冷却パイプもしくは長板状熱伝導板と熱的に結合して前記長板状MCPの上部空間を覆う平板状熱伝導板とを有して構成されている。ここで前記長板状MCPおよび前記長板状熱伝導板は、前記プリント配線板と適当な角度を有するように保持されるのが好ましく、これによってパッケージの実装ピッチを短縮し、小形化を図ることができる。

(実施例)

次に、本発明を、図面を参照して実施例につき説明する。

第1図は本発明の第1の実施例を示すパッケージの正面図である。また第2図は第1図におけるA-A線断面図、第3図は第2図と対比させた第

2の実施例の同様部分における断面図である。第1の実施例の第1図、第2図に於いて、プリント配線板1上には半導体素子8を片面に搭載したSIP型の長板状MCP7が列設されている。なおこの長板状MCP7の材質はセラミック等の熱伝導性に優れた材料から成る。長板状MCP7の相互間には微小ギャップを保って長板状熱伝導板3が配置されており、さらに上部空間は平板状熱伝導板4によって覆われている。また長板状MCP7の長手方向と直交して巡回する水等の冷媒流路を形成する銅管等の冷却パイプ2が設けられており、さらに、長板状熱伝導板3及び平板状熱伝導板4とろう付け等によって熱的に結合されている。ゴールドプレート5は発熱量の高い制御系の半導体素子の冷却用に便宜的に示したものである。

半導体素子8が発生する熱は熱容量の高い長板状MCP7の表面から放出されて、周囲の雰囲気、長板状熱伝導板及び平板状熱伝導板4、冷却パイプの順に水等の冷媒まで達してパッケージ外へ持ち去られる。なお長板状MCPは両面に半導体素

子を搭載したDIP型でも構わない。

第3図に第2図の変形例である第2の実施例を示す。第3図に於いて、長板状MCP7及び長板状熱伝導板3はプリント配線板1と角度 θ を保って保持されている。本実施例では、第2図と比較すれば明らかな如く、パッケージの高さをより低く抑えることができるので、パッケージの実装ピッチをより小さくできる利点がある。また通常、水冷方式を実現する上でネックとなるのは部品実装高さのバラツキであるが、本発明では部品実装高さを考慮する必要がなく、しかも廉価に構成できる。

(発明の効果)

以上説明したように本発明は、発熱体である半導体素子の周囲に熱伝導板を設けて窓ぎ、パッケージ上に冷媒流路を形成する冷却パイプに雰囲気を通じて熱を伝えることにより、(イ)個々の発熱量は低いが搭載数の多いメモリ系の半導体素子の冷却を水冷方式で実現できる。これによって実装形態の自由度を拡げることができ、(ロ)部品

実装高さを考慮する必要がなくなる。さらに(ハ)半導体素子を搭載した長板状MCPの実装角度を傾けることにより、パッケージの実装ピッチを短縮できる、など多くの利点がある。

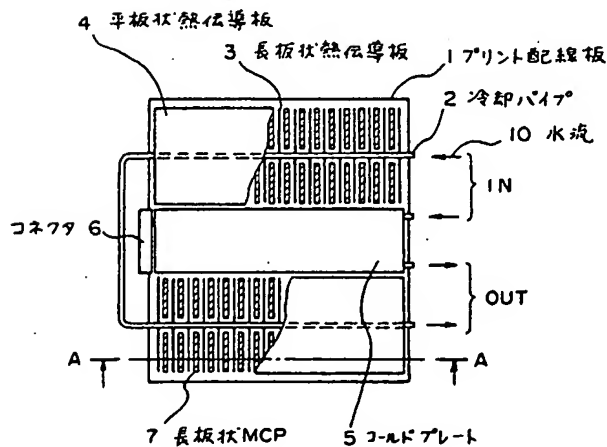
4. 図面の簡単な説明

第1図は本発明の第1の実施例を示すパッケージの正面図、第2図は第1図のA-A線断面図、第3図は第2図と対比させた第2の実施例の断面図である。

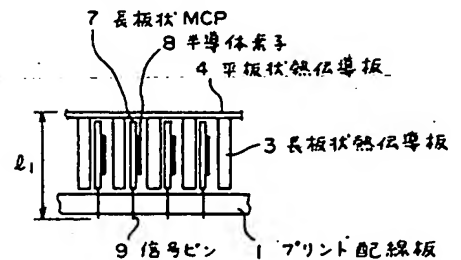
- 1・・・プリント配線板、2・・・冷却パイプ、
- 3・・・長板状熱伝導板、
- 4・・・平板状熱伝導板、
- 5・・・コールドプレート、6・・・コネクタ、
- 7・・・長板状MCP、8・・・半導体素子、
- 9・・・信号ピン、10・・・水流。

代理人 弁理士 染 川 利 吉

第 1 図



第 2 図



第 3 図

